

ARQUITECTURA DE LOS SISTEMAS BASADOS EN MICROPROCESADOR

- Historia
- Bloques funcionales
- Dimensionamiento
- Estructura CPU
- Concepto de programa
- Interrupciones
- Buses
- Memoria
- Entrada / Salida
- Ejemplo de arquitectura: Intel8086
- Ejemplo de sistema basado en μP : PC

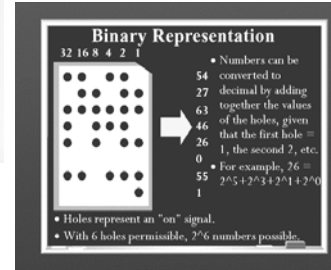
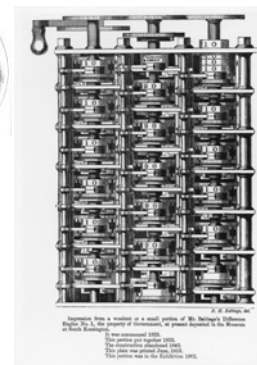


FIG 1.1. Babbage (1791-1871)

FIG 1.2. Hollerith (1860-1929)

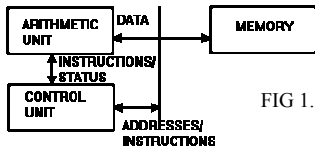


FIG 1.3. Von Neumann (1903 – 1957)

- 1947 — Efecto transistor
- 1964 — Lenguaje BASIC
- 1967 — Primer disco magnético
- 1971 — Primer μP en un solo C.I.
- 1974 — Primer S.O. (CP/M)
- 1975 — Nacimiento Micro-Soft
- 1981 — MS-DOS
- 1985 — Windows

FIG 1.4. Evolución de la informática

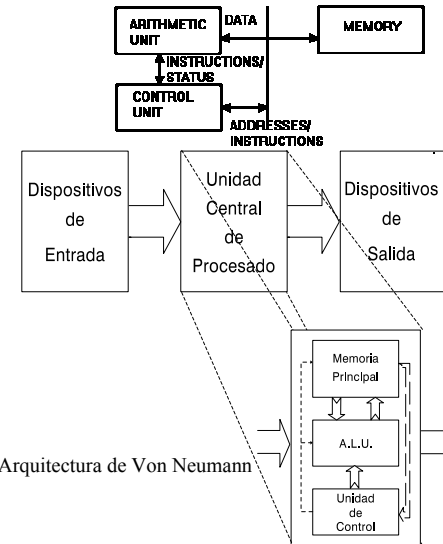


FIG 1.5. Arquitectura de Von Neumann

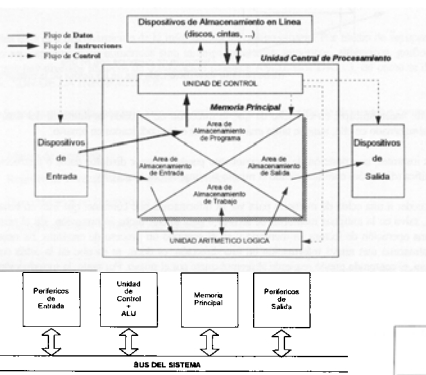


FIG 1.6. Flujo de la información

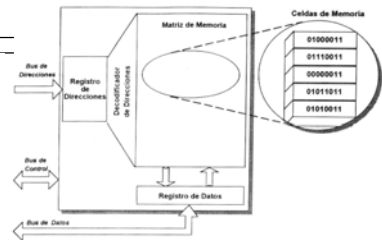


FIG 1.7. Buses del sistema

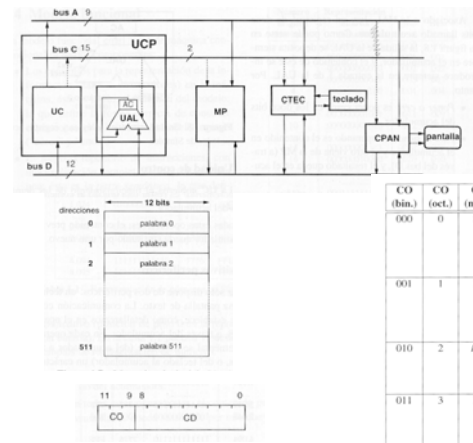
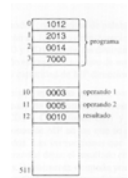


FIG 1.9. Juego de instrucciones

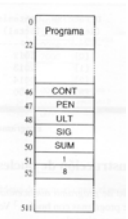
CO (bin.)	CO (oct.)	CO (nem.)	Significado
000	0	ST	Almacena ("STORE") el contenido del acumulador en la palabra de memoria cuya dirección se indica en el campo CD. Es decir, lleva los 12 bits del acumulador a esa palabra, con lo que desaparece de ella lo que tuviese anteriormente (pero permaneciendo en el acumulador).
001	1	LD	Carga ("LOAD") en el acumulador el contenido de la palabra de memoria cuya dirección se indica en el campo CD. Es decir, es la inversa de la anterior. Lleva los bits de la palabra al acumulador, borrando lo que éste contuviese previamente.
010	2	ADD	Suma ("ADD") al acumulador el contenido de la palabra de memoria de dirección especificada en CD, dejando el resultado en el propio acumulador (y borrando a su contenido previo).
011	3	BR	Bifurca ("BRANCH") incondicionalmente a la dirección indicada en CD; le dice a la unidad de control que la siguiente instrucción a ejecutar es la almacenada en la dirección dada por CD.
100	4	BZ	Bifurca si el resultado de la última operación realizada por la UAL ha sido cero; en caso contrario sigue con secuencia normal, y la instrucción no hace nada.
101	5	CLR	pone a cero ("CLEAR") el acumulador (12 ceros binarios).
110	6	DEC	Decrementa en una unidad el contenido del acumulador (y deja el resultado en él).
111	7	HALT	Hace pararse a la máquina, es decir, hace que no vuelva al "paso 1" en el ciclo que realiza la UC.

FIG 1.8. Arquitectura de Simplex



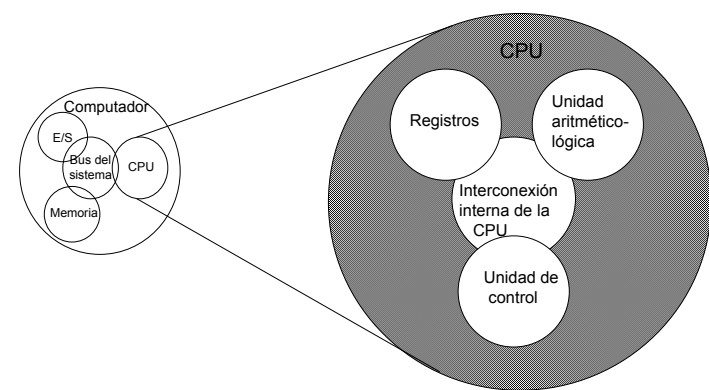
Direcc. MP (decimal)	Contenido (decimal)	Contenido (octal)	Contenido (nemónico)	Comentarios
[0]	1012	LD /10		; carga el primer numero
[1]	2013	ADD /11		; le suma el segundo
[2]	0014	ST /12		; almacena el resultado
[3]	7000	HALT		

FIG 1.10. Ejemplos de programas para Simplex

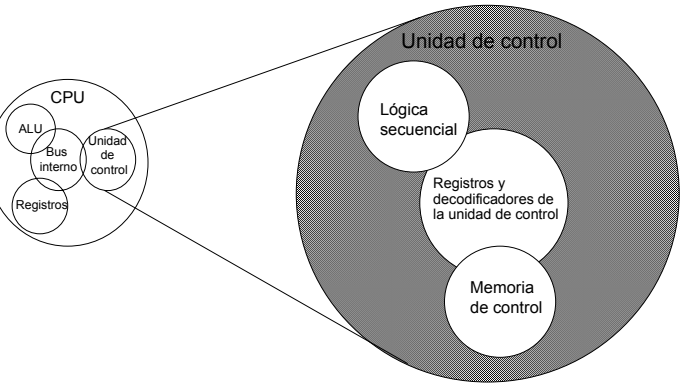


Direcc. MP (decimal)	Contenido (octal)	Contenido (nemónico)	Comentarios
[0]	5000	CLA	: 0
[1]	0057	ST /47	: a PEN
[2]	1063	LD /51	: 1
[3]	0060	ST /48	: a ULT
[4]	0062	ST /50	: a SUM
[5]	1064	LD /52	: 8
[6]	0056	ST /46	: a CUNT
[7]	1057	LD /47	: PEN
[8]	2060	ADD /48	: PEN+ULT
[9]	0061	ST /49	: a SIG
[10]	2062	ADD /50	: SIG+SUM
[11]	0062	ST /50	: a SUM
[12]	1060	LD /48	: ULT
[13]	0057	ST /47	: a PEN
[14]	1061	LD /49	: SIG
[15]	0060	ST /48	: a ULT
[16]	1056	LD /46	: CUNT
[17]	6000	DEC	: lo decrementa
[18]	4025	BZ /21	: si es cero, sale ; del bucle
[19]	0056	ST /46	: si no, lo lleva a CUNT
[20]	3007	BR /7	: y vuelve al bucle
[21]	7000	HALT	
....			
[51]	0001		: constante 1
[52]	0010		: constante 8

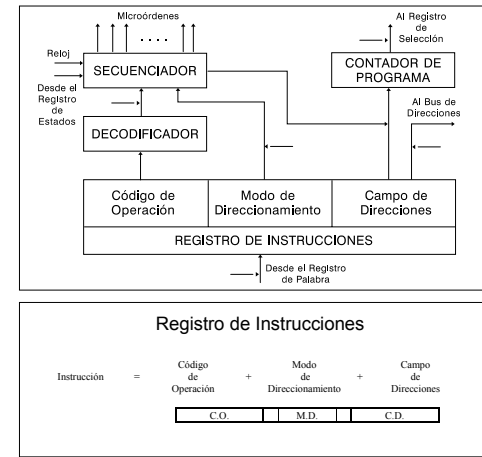
Estructura de la CPU



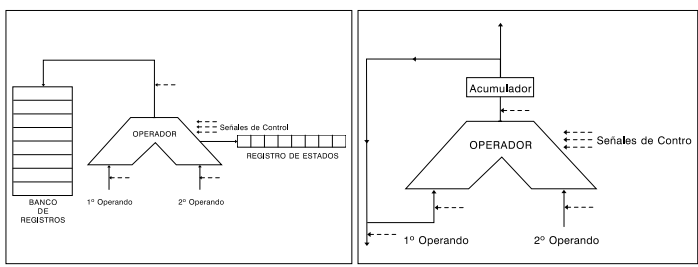
Estructura de la unidad de control



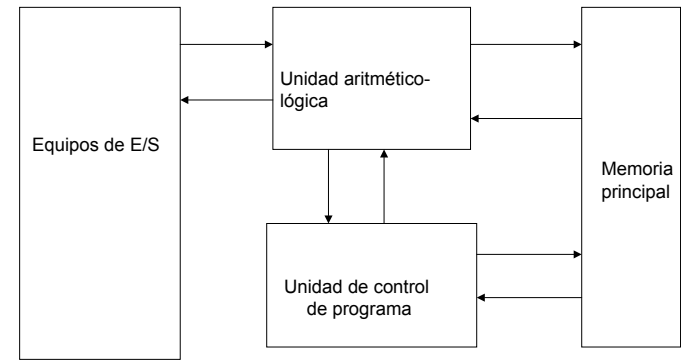
Unidad de Control



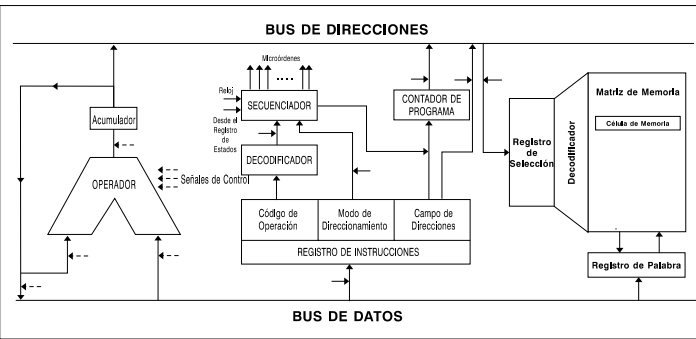
Unidad Aritmético-Lógica: ALU



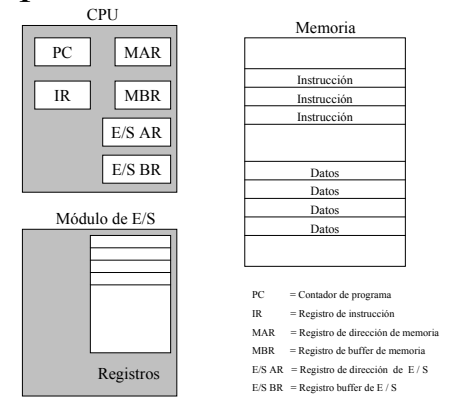
Estructura de la máquina de von Neumann



Descripción General



Componentes del computador: esquema de dos niveles

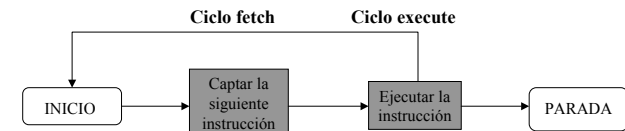


Concepto del programa

- Los sistemas cableados no son flexibles.
- El hardware de uso general puede realizar distintas funciones, según las señales de control aplicadas.
- En lugar de configurar el hardware, se proporciona un nuevo conjunto de señales de control.

Ciclo de instrucción básico

- Dos pasos:
 - Fetch (Captación)
 - Execute (Ejecución)



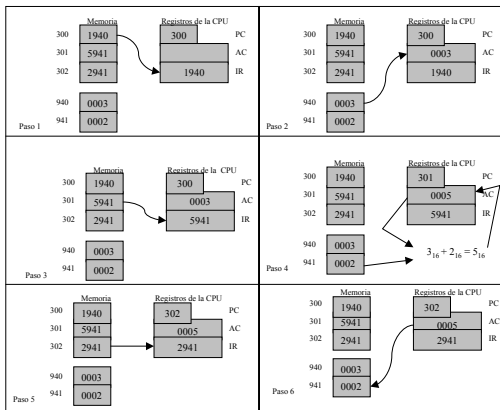
Ciclo fetch

- El contador de programa (PC) contiene la dirección de la instrucción que se debe captar a continuación.
- El procesador capta la instrucción que indica el PC desde la memoria.
- El registro PC se incrementa,
 - a no ser que se indique lo contrario.
- Esta instrucción se carga en el registro de instrucción (IR).
- El procesador interpreta la instrucción y lleva a cabo la acción requerida.

Ciclo execute

- Procesador- memoria
 - Transferencia de datos desde la CPU a la memoria.
- Procesador-E/S
 - Transferencias de datos entre la CPU y un módulo de E/S.
- Procesamiento de datos
 - Realización de alguna operación aritmética o lógica con los datos.
- Control
 - Alteración de la secuencia de ejecución.
 - Ejemplo: la instrucción de salto
- Combinación de estas acciones

Ejemplo de ejecución



Interrupciones

- Mecanismo mediante el que otros módulos (Ejemplo: E/S) pueden interrumpir el procesamiento normal de la CPU.
- Programa
 - Ejemplo: desbordamiento aritmético (“overflow”), división por cero
- Temporización
 - Generadas por un temporizador interno al procesador.
 - Permite realizar ciertas funciones de manera regular.
- E/S
 - Generadas por un controlador E/S.
- Fallo de hardware
 - Ejemplo: error de paridad en la memoria

Bus de datos

- Transmite datos.
 - A este nivel no existe diferencia alguna entre “datos” y “instrucciones”.
- La anchura del bus es un factor clave a la hora de determinar las prestaciones.
 - 8, 16, 32, 64 bits.

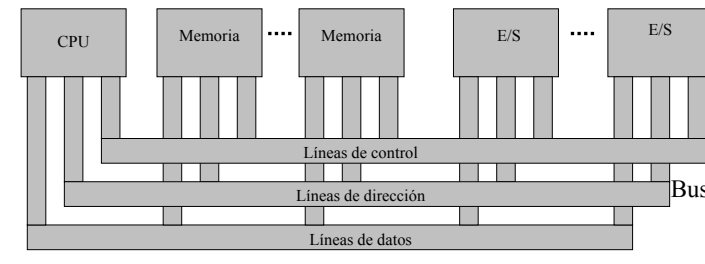
Bus de dirección

- Designa la fuente o destino del dato.
- Ejemplo: cuando el procesador desea leer una palabra (datos) de una determinada parte en la memoria.
- La anchura del bus determina la máxima capacidad de memoria posible en el sistema.
 - Ejemplo: 8080 tiene un bus de dirección de 16 bits, lo que supone 64k de espacio para direcciones

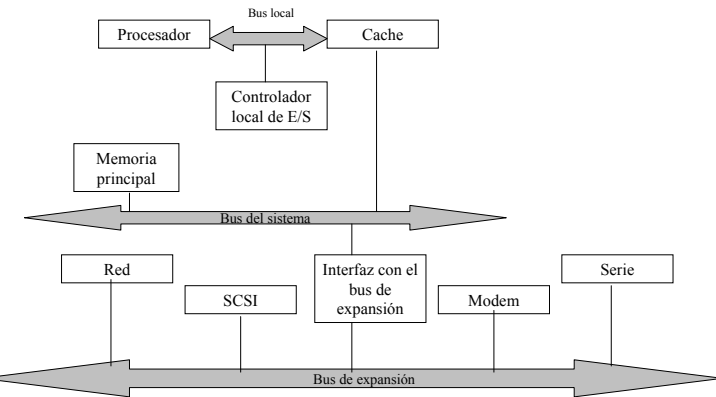
Bus de control

- Información sobre señales de control y sobre temporización:
 - Señal de escritura/lectura en memoria.
 - Petición de interrupción.
 - Señales de reloj.

Esquema de interconexión mediante un bus



Arquitectura de bus tradicional



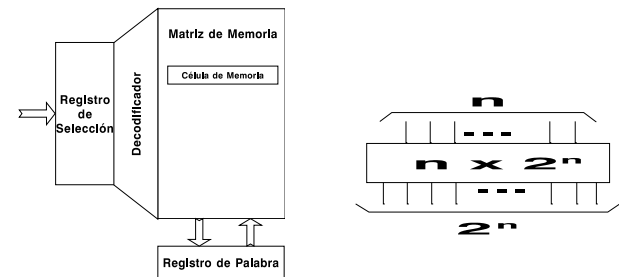
Tipos de buses

- Dedicados
 - Uso de líneas separadas para direcciones y para datos.
- Multiplexados
 - Uso de las mismas líneas.
 - Línea de control de dirección válida o de datos válida.
 - Ventaja: uso de menos líneas.
 - Desventajas:
 - Se necesita una circuitería más compleja.
 - Posible reducción de las prestaciones.

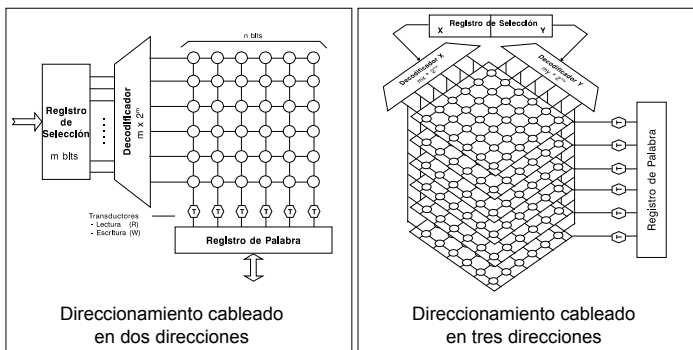
Jerarquía de memoria

- Registros } Registros
- Cache nivel 1 } Memoria interna o principal
- Cache nivel 2 }
- Memoria principal }
- Cache de disco } Memoria externa
- Disco }
- Memoria óptica }
- Cintas }

Memoria Principal - Organización Interna



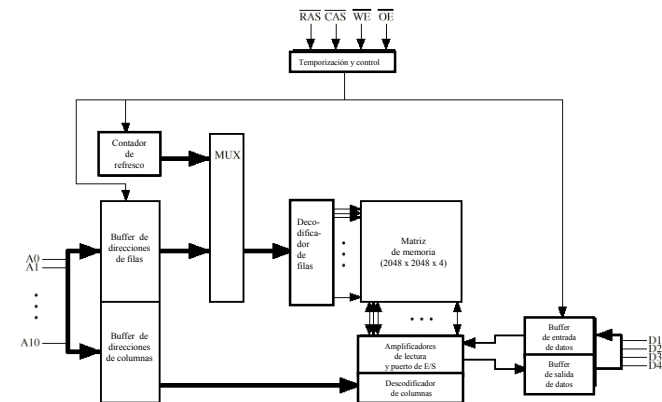
Memoria Principal - Direccionamiento



Organización

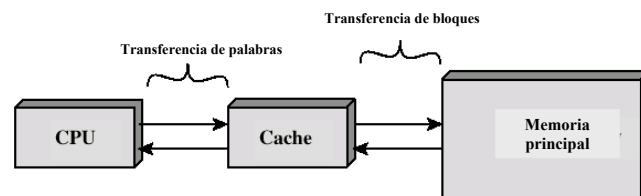
- Un chip de 16Mbits podría estar estructurado en 1 Mpalabras de 16 bits.
- Un sistema de “un bit por chip” tiene 16 lotes de un chip de 1 Mbits, por lo que por cada chip corresponde 1bit de cada palabra y así, sucesivamente.
- Un chip de 16 Mbits puede estar estructurado en cuatro matrices cuadradas de 2048 x 2048 elementos.
 - Reduce el número de terminales de dirección.
 - Direccionamiento de filas y de columna multiplexado.
 - 11 terminales de dirección ($2^{11}=2.048$).
 - Una terminal más duplica el rango de los valores, así que la capacidad se multiplica por cuatro.

DRAM típica de 16 Mb (4M x 4)



Cache

- Cantidad pequeña de memoria rápida.
- Está entre la memoria principal normal y la CPU.
- Puede localizarse en el chip o módulo de la CPU.



Operación de la cache

- La CPU solicita contenidos de la localización de memoria.
- Comprueba la cache para estos datos.
- Si está, la obtiene de la cache (rápidamente).
- Si no está, lee el bloque requerido a partir de la memoria principal hasta la cache.
- Después, de la cache los entrega a la CPU.
- La cache incluye etiquetas para identificar qué bloque de la memoria principal está en cada ranura de la cache.

Técnicas de E/S

- Programada
- Mediante interrupciones
- Acceso directo a memoria (DMA)

E/S programada

- La CPU tiene control directo sobre la E/S
 - Comprobación del estado del dispositivo
 - Órdenes de lectura/escritura
 - Transferencia de datos
- La CPU espera a que el módulo E/S acabe la operación
- Hace perder tiempo a la CPU

E/S mediante interrupciones

- La CPU no tiene que esperar.
- No se repite la comprobación del sistema.
- El módulo E/S envía una interrupción cuando está listo.

Identificación del módulo que interrumpe (1)

- Diferentes líneas para cada módulo
 - PC
 - Limita el número de dispositivos
- Consulta software
 - La CPU consulta a cada módulo
 - Resulta lenta

Identificación del módulo que interrumpe (2)

- Conexión en cadena o consulta hardware
 - La línea de reconocimiento de interrupción se conecta encadenando los módulos.
 - El módulo que responde coloca un vector en el bus.
 - La CPU emplea el vector para identificar la rutina de servicio.
- Arbitraje de bus
 - El módulo debe disponer del control del bus antes de lograr la interrupción.
 - Ej: bus PCI y puerto SCSI

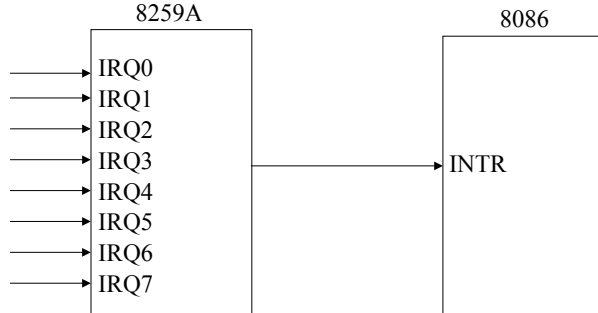
Ejemplo: bus de PC

- El 80386 tiene sólo una línea de petición de interrupción.
- Los sistemas basados en el 80386 emplean un árbitro de interrupciones 82C59A.
- El 82C59A tiene 8 líneas de interrupción.

Secuencia de acontecimientos

- El 8259A acepta la interrupción.
- El 8259A determina la prioridad.
- El 8259A activa la señal 8086 (sitúa la señal INTR en la línea adecuada).
- El procesador reconoce la señal.
- El 8259A coloca el vector apropiado en el bus de datos.
- El procesador procesa la interrupción.

Diseño de interrupción del PC



Acceso directo a memoria

- La E/S programada y con interrupciones necesita la intervención directa de la CPU.
 - La velocidad de transferencia es limitada.
 - La CPU permanece ocupada mucho tiempo.
- El DMA es la solución.

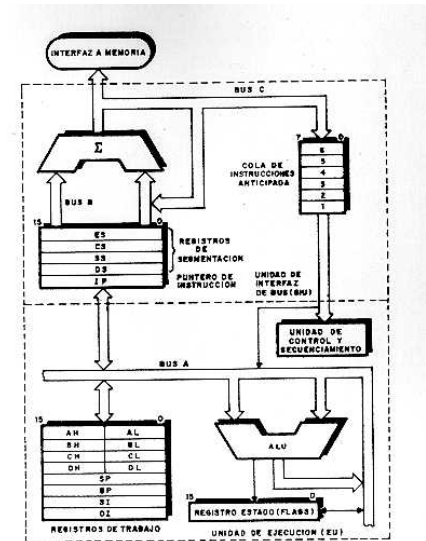
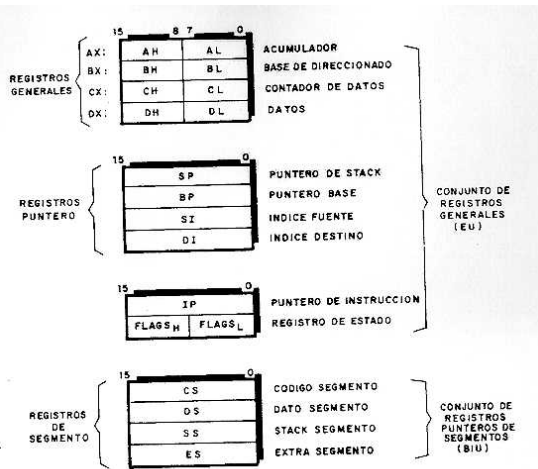
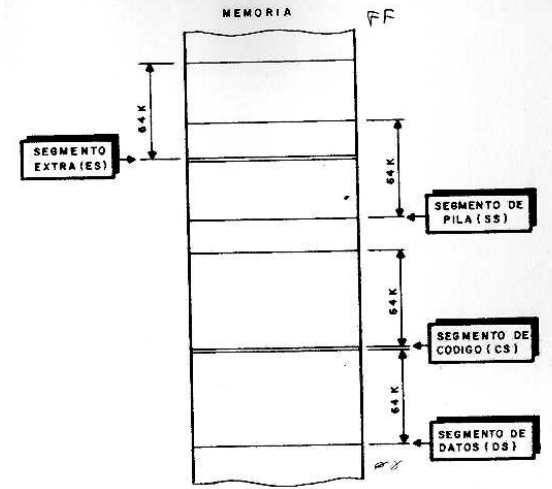
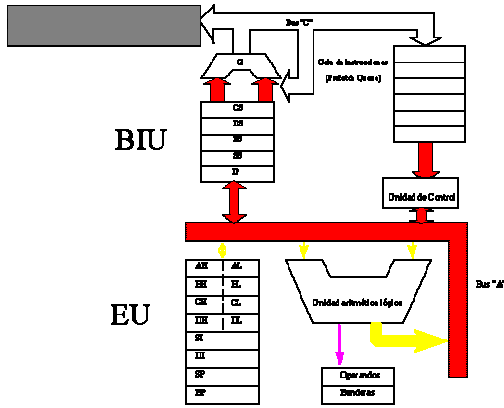
Funcionamiento del DMA

- Requiere un módulo adicional (hardware) en el bus.
- El módulo del DMA obtiene el control de la CPU para transferir datos.

Mecanismo del DMA

- La CPU envía una orden al módulo de DMA:
 - Lectura/Escritura
 - Dirección del dispositivo
 - Dirección inicial de memoria para datos
 - Cantidad de datos que hay que transferir
- La CPU continúa con otro trabajo.
- El módulo del DMA realiza la transferencia.
- El módulo del DMA envía una señal de interrupción cuando ha acabado.

Intel 8086



PC

